

INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURING METHOD

Patent Number: JP2001223288
Publication date: 2001-08-17
Inventor(s): OHASHI TOSHIO
Applicant(s): YAMAHA CORP
Requested Patent: JP2001223288
Application Number: JP20000029236 20000207
Priority Number(s):
IPC Classification: H01L23/12; H01L21/301
EC Classification:
Equivalents:

Abstract

) PROBLEM TO BE SOLVED: To reduce the package size of an IC(integrated circuit) having a chip size package.

SOLUTION: A pad electrode 14a being connected with an IC is formed on an insulation film 12 covering the surface of the IC chip region of a semiconductor wafer. A contact hole 22a made in the chip region for protecting the IC chip region of a glass protection board is filled with a conduction plug 26a and a relief groove 24a surrounding the contact hole 22a, a bump electrode 28a connected with the plug 26a, and an adhesion layer 30 of thermoplastic adhesive are provided on the lower surface side. When the electrode 28a is connected with the electrode 14a, the IC is sealed by bonding the wafer and the protection board through the adhesion layer 30 and a bump electrode 32a is formed on the plug 26a. Finally, an IC device comprising an IC chip 10 and a protection chip 20 is separated, by dicing, from a laminate of the wafer and the protection board.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-223288
(P2001-223288A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl.⁷

H 01 L 23/12
21/301

識別記号

F I

H 01 L 23/12
21/78

マークコード(参考)

L
Q

審査請求 未請求 請求項の数6 OL (全10頁)

(21) 出願番号 特願2000-29236(P2000-29236)

(22) 出願日 平成12年2月7日 (2000.2.7)

)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 大橋 敏雄

静岡県浜松市中沢町10番1号ヤマハ株式会
社内

(74) 代理人 100075074

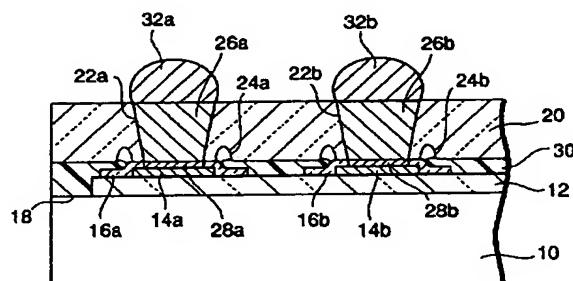
弁理士 伊沢 敏昭

(54) 【発明の名称】 集積回路装置とその製法

(57) 【要約】

【課題】 チップ・サイズ・パッケージを有するIC
(集積回路)装置において、パッケージサイズの縮小を
可能にする。

【解決手段】 半導体ウエハにおいてICチップ領域の
表面を覆う絶縁膜12の上にはICにつながるパッド電
極14aを形成する。ガラス等の保護基板においてIC
チップ領域保護用の保護チップ領域に設けた接続孔22
aに導電プラグ26aを埋設すると共に下面側に接続孔
22aを取囲む逃がし溝24aと、プラグ26aに接続す
れたバンプ電極28aと、熱可塑性接着剤からなる接
着層30とを設ける。電極28aを電極14aに接続す
るので伴って接続層30でウエハと保護基板とを接着し
てICを封止した後、プラグ26aの上にバンプ電極3
2aを形成する。ウエハ乃至保護基板の積層体からIC
チップ10乃至保護チップ20を含むIC装置をダイシ
ングにより分離する。



12,16a,16b:絶縁膜
14a,14b:パッド電極
18:グリッドライン領域
22a,22b:接続孔
24a,24b:逃がし溝
26a,26b:導電プラグ
28a,28b,32a,32b:バンプ電極

【特許請求の範囲】

【請求項1】一方の主表面に集積回路が形成されると共に該集積回路の周辺に該集積回路に接続された複数のパッド電極が形成された半導体からなる集積回路チップと、

この集積回路チップの一方の主表面を覆って保護するための絶縁性の保護チップであって、前記複数のパッド電極にそれぞれ対応した複数の接続孔を有すると共に各接続孔内に導電プラグが埋設され、前記集積回路チップの一方の主表面に對向する対向面にて各導電プラグがバンプ電極により対応するパッド電極に接続されると共に該対向面が前記集積回路チップの一方の主表面に接着層により接着されることにより前記集積回路チップの一方の主表面を封止するものを備え、前記集積回路チップ及び前記保護チップが実質的に同一の切断形状を有する集積回路装置。

【請求項2】前記保護チップにおいて前記集積回路チップの一方の主表面に對向する対向面とは反対側の露呈面には各導電プラグ毎にその端部に他のバンプ電極を設けた請求項1記載の集積回路装置。

【請求項3】集積回路チップ領域を有する半導体ウエハであって該集積回路チップ領域には集積回路が形成されると共に該集積回路の周辺に該集積回路に接続された複数のパッド電極が形成されたものを用意する工程と、前記集積回路チップ領域を覆って保護するための保護チップ領域を有する絶縁性の保護基板であって該保護チップ領域には前記複数のパッド電極にそれぞれ対応した複数の接続孔が形成されると共に各接続孔に導電プラグが埋設されたものを用意する工程と、

前記集積回路チップ領域内の各パッド電極に対して前記保護チップ領域内の対応する導電プラグをバンプ電極により接続するのに伴って前記半導体ウエハと前記保護基板とを接着層により接着して前記集積回路チップ領域を封止する工程と、

前記半導体ウエハ乃至前記保護基板の積層体から前記集積回路チップ領域乃至前記保護チップ領域を含む集積回路装置を切断により分離する工程とを含む集積回路装置の製法。

【請求項4】前記封止する工程の後、前記分離する工程の前に、前記保護チップ領域内の各導電プラグにおいて対応するバンプ電極を接続した端部とは反対側の端部に他のバンプ電極を接続する工程を更に含む請求項3記載の集積回路装置の製法。

【請求項5】前記保護基板を用意する工程では、前記保護基板において前記半導体ウエハに接着されるべき主表面側で各接続孔の周囲に前記接着層の流入を可能にする逃がし溝を形成する請求項3又は4記載の集積回路装置の製法。

【請求項6】前記保護基板を用意する工程では、前記保護基板において前記半導体ウエハに接着されるべき主

表面での開口サイズより該主表面とは反対側の主表面での開口サイズが大きくなるように各接続孔を形成する請求項3～5のいずれかに記載の集積回路装置の製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、チップ・サイズ・パッケージ(CSP)を有するIC(集積回路)装置と、ウエハ状態でチップ・サイズ・パッケージングを行なうIC装置の製法とに関し、特にICチップの一主表面に設けたパッド電極とICチップ保護用の保護チップの接続孔に埋設した導電プラグとをバンプ電極により接続すると共にICチップの一主表面に保護チップを接着層により接着してICチップの一主表面を封止し、ICチップ及び保護チップを実質的に同一の切断形状にしたことによりCSPのサイズ縮小を可能にしたものである。

【0002】

【従来の技術】従来、ウエハ状態でチップ・サイズ・パッケージングを行なうIC装置の製法としては、図22～24に示す方法が知られている(例えば、特表平9-511097号公報参照)。

【0003】図22の工程では、ガラス等の絶縁性保護板1に対してIC内蔵の半導体ウエハをエポキシ層3により接着した後、半導体ウエハを研削処理により200μm程度の厚さまで薄くする。そして、切刻処理及びエッチング処理により半導体ウエハを複数のICチップ2A, 2Bに分割する。この後、絶縁外装膜4をエポキシ層5により保護板3の露出部及びICチップ2A, 2Bの裏側に接着する。ICチップ2A, 2Bのパッド部2a, 2bは、ICチップ2A, 2Bの端縁より外方に延長した部分がエポキシ層3及び5の間に挟まれた形となる。

【0004】次に、図23の工程では、保護板1及びエポキシ層3, 5の積層に対してICチップ2A, 2Bの間の部分に切刻処理を施すことにより溝6を形成する。このとき、保護板1は、ICチップ2A, 2Bに対応して部分1A, 1Bに分割され、エポキシ層3は、ICチップ2A, 2Bに対応して部分3A, 3Bに分割される。また、パッド部2a, 2bの端部が溝6の側壁面に露呈される。この後、金属積層法により金属接触部(配線)7a, 7bをそれぞれパッド部2a, 2bの端部に接触して保護板1A, 1Bの上面に達するように形成する。

【0005】この後、図24の工程では、エポキシ層5及び外装膜4の積層に対してICチップ2A, 2Bの間の部分に切断処理(ダイシング)を施すことにより溝6に対応する切断溝8を形成する。この結果、エポキシ層5は、ICチップ2A, 2Bに対応して部分5A, 5Bに分割され、外装膜4は、ICチップ2A, 2Bに対応して部分4A, 4Bに分割される。外装膜4A乃至保護

板1 Aの積層体を含む第1のIC装置9 Aと、外装膜4 B乃至保護板1 Bの積層体を含む第2のIC装置9 Bとが、図2 3の積層体から分離される。

【0006】他の従来技術としては、図2 2の工程の後、パッド部2 a, 2 bの各端部を露呈するように図2 2の積層体に切断処理を施して切断溝8を形成することにより図2 2の積層体を2つのIC装置に分離し、各IC装置毎にその側面にパッド部（例えば2 a）に接触する金属接触部（例えば7 a）を形成するものも知られている（例えば、特表平8-503813号公報参照）。

【0007】

【発明が解決しようとする課題】上記した従来技術によると、ICチップ2 Aを覆う積層（3 A, 1 A）の側部を経由して端子配線7 aを保護板1 Aの上面に導出すると共にICチップ2 Aの裏側にエポキシ層5 A及び外装膜4 Aを配置するので、パッケージサイズがICチップ2 Aのサイズより相当に大きくなり、端子配線長も相当に長くなる。)

【0008】また、上記した従来技術によると、工程が複雑になるという問題点がある。すなわち、積層体を複数のIC装置に分離する前又はした後、溝6の斜面又は溝8の切断面に端子配線を形成するには、金属堆積処理（例えばスパッタリング処理）、ホトリソグラフィ及び選択エッチング処理、メッキ処理等が必要である。

【0009】その上、半導体ウエハをICチップ2 A, 2 Bに分割した後、端子配線を形成するので、外装膜4をエポキシ層5で接着する処理と、溝6及び／又は溝8を形成する処理とが必要である。

【0010】この発明の目的は、CSPのサイズを縮小することができる新規な集積回路装置を提供することにある。

【0011】この発明の他の目的は、ウエハ状態でのチップ・サイズ・パッケージングを大幅に簡略化した新規な集積回路装置の製法を提供することにある。

【0012】

【課題を解決するための手段】この発明に係る集積回路装置は、一方の主表面に集積回路が形成されると共に該集積回路の周辺に該集積回路に接続された複数のパッド電極が形成された半導体からなる集積回路チップと、この集積回路チップの一方の主表面を覆って保護するための絶縁性の保護チップであって、前記複数のパッド電極にそれぞれ対応した複数の接続孔を有すると共に各接続孔内に導電プラグが埋設され、前記集積回路チップの一方の主表面に対向する対向面にて各導電プラグがバンプ電極により対応するパッド電極に接続されると共に該対向面が前記集積回路チップの一方の主表面に接着層により接着されることにより前記集積回路チップの一方の主表面を封止するものを備え、前記集積回路チップ及び前記保護チップが実質的に同一の切断形状を有するものである。

【0013】この発明の構成によれば、各パッド電極がバンプ電極及び導電プラグを介して保護チップの露呈面側に最短距離で導出されると共に集積回路チップの一方の主表面が保護チップ及び接着層により封止され、集積回路チップ及び保護チップは、実質的に同一の切断形状を有する。従って、CSPのサイズ縮小が可能となり、端子配線長も短縮することができる。

【0014】この発明の構成において、保護チップの露呈面には、各導電プラグ毎にその端部に他のバンプ電極を設けてよい。このようにすると、集積回路装置を回路基板等に実装するのが容易となる。

【0015】この発明に係る集積回路装置の製法は、集積回路チップ領域を有する半導体ウエハであって該集積回路チップ領域には集積回路が形成されると共に該集積回路の周辺に該集積回路に接続された複数のパッド電極が形成されたものを用意する工程と、前記集積回路チップ領域を覆って保護するための保護チップ領域を有する絶縁性の保護基板であって該保護チップ領域には前記複数のパッド電極にそれぞれ対応した複数の接続孔が形成されると共に各接続孔に導電プラグが埋設されたものを用意する工程と、前記集積回路チップ領域内の各パッド電極に対して前記保護チップ領域内の対応する導電プラグをバンプ電極により接続するに伴って前記半導体ウエハと前記保護基板とを接着層により接着して前記集積回路チップ領域を封止する工程と、前記半導体ウエハ乃至前記保護基板の積層体から前記集積回路チップ領域乃至前記保護チップ領域を含む集積回路装置を切断により分離する工程とを含むものである。

【0016】この発明の製法によれば、接続孔の形成は、周知のホトリソグラフィ及び選択エッチング処理により可能であり、接続孔への導電プラグの埋込み、バンプ電極の形成、接着層の形成等の処理は、例えばスクリーン印刷等の簡単な処理により可能である。また、各導電プラグをバンプ電極により対応するパッド電極に接続する際に半導体ウエハと保護基板とを接着層で接着して封止を行なった後、半導体ウエハ乃至保護基板の積層体を切断して集積回路装置を分離するので、封止処理及び切断処理が各々1工程で済む。従って、工程を大幅に簡略化することができる。

【0017】この発明の製法において、封止する工程の後、分離する工程の前に、保護チップ領域内の各導電プラグには対応するバンプ電極を接続した端部とは反対側の端部に他のバンプ電極を接続するようにしてもよい。このようにすると、ウエハ状態でバンプ電極の接続を行なうことができ、特に複数の集積回路チップ領域が半導体ウエハに設けられている場合に多数のバンプ電極の一括形成が可能となる。

【0018】この発明の製法において、保護基板を用意する工程では、保護基板における半導体ウエハに接着されるべき表面側で各接続孔の周囲に接着層の流入を可能

にする逃がし溝を形成するようにしてもよい。このようにすると、半導体ウエハと保護基板とを接着層で接着する際に均一な接着が可能となる。

【0019】この発明の製法において、保護基板を用意する工程では、保護基板における半導体ウエハに接着されるべき主表面での開口サイズより該主表面とは反対側の主表面での開口サイズが大きくなるように各接続孔を形成してもよい。このようにすると、各接続孔に導電ペーストを埋込んで導電プラグを形成するのが容易になる。

【0020】

【発明の実施の形態】図1は、この発明の一実施形態に係るIC装置を示すもので、図1のA-A'線に沿う断面が図2に示されている。

【0021】図1、2に示されるIC装置は、半導体からなるICチップ10と、このICチップを覆って保護するための絶縁性の保護チップ20と、この保護チップをICチップ10に接着する接着層30とを含んでいる。

【0022】ICチップ10の一方の主表面には、IC(図示せず)が形成されると共にフィールド絶縁膜等の絶縁膜12が形成される。絶縁膜12の上には、ICの周辺にICに接続された14a、14b等の複数のパッド電極が形成される。パッド電極としては、ICに接続されないダミーのパッド電極を設けることで対称的なパッド電極配置を実現してもよい。また、狭ピッチに対応していない実装基板に適用するためには、実装基板に合わせてパッド電極のピッチを広げて再配置するようにしてもよい。14a、14b等のパッド電極は、16a、16b等の保護絶縁膜でそれぞれ覆われ、各保護絶縁膜には、対応するパッド電極の中央部を露呈する接続孔が形成される。

【0023】保護チップ20には、14a、14b等の複数のパッド電極にそれぞれ対応した22a、22b等の複数の接続孔が設けられる。22a、22b等の接続孔には、26a、26b等の導電プラグがそれぞれ埋設される。保護チップ20においてICチップ10の一方の主表面に対向する対向面には、22a、22b等の接続孔をそれぞれ取囲むように24a、24b等のリング状の逃がし溝が設けられる。各逃がし溝は、接着層30の流入を可能にするものである。

【0024】26a、26b等の導電プラグが28a、28b等のバンプ電極により14a、14b等のパッド電極にそれぞれ接続されると共に保護チップ20が接着層30によりICチップ10のIC形成面に接着されることによりICチップ10のIC形成面が封止される。保護チップ20において半導体チップ10に対向する対向面とは反対側の露呈面には、26a、26b等の導電プラグにそれぞれ接続された32a、32b等のバンプ電極が設けられる。実装基板にバンプ電極を設ける場合

10

20

30

40

50

には、32a等のバンプ電極を省略することもできる。【0025】ICチップ10及び保護チップ20は、14a、14b等パッド電極の枠状配列を取囲むように設けられたグリッドライン領域18に沿う切断で得られた実質的に同一の切断形状を有する。ICチップ10を覆うCSPは、保護チップ20及び接着層30を含むもので、ICチップ10と同程度に小サイズである。また、CSPからは、14a等のパッド電極が28a等のバンプ電極及び26a等の導電プラグを介して最短距離で保護チップの露呈面側に導出されるので、端子配線長が短縮される。

【0026】次に、図3～19を参照して図1、2のIC装置の製法を説明する。

【0027】図3の工程では、例えばシリカガラス、石英又はポリイミドからなる厚さ100～300μmの保護基板20Aを用意する。保護基板20Aは、後述の封止工程において図10に示すように半導体ウエハ10Aに重ねられるもので、半導体ウエハ10Aに設けた多数のICチップ領域にそれぞれ対応した多数の保護チップ領域が設けられる。各ICチップ領域は、グリッドライン領域18により取囲まれている。多数のICチップ領域のうちの1つのICチップ領域を10aとし、領域10aに対応する保護チップ領域を20aとする。

【0028】図11には、ICチップ領域10aにおける14a、14b等のパッド電極の枠状配列が示されている。図11のB-B'線に沿う断面は、図8に示されている。図12には、ICチップ領域10aに重ねられる保護チップ領域20aを示してある。

【0029】図3の工程では、ホトリソグラフィ及び選択エッティング処理により14a、14b等のパッド電極にそれぞれ対応した22a、22b等の接続孔を保護基板20Aに形成する。図12には、このときに形成される接続孔の枠状配列が示されている。図12のC-C'線に沿う断面が図3の断面に対応する。接続孔22a、22bの形成状況が図13に一部断面斜視図で示されている。ホトリソグラフィ及び選択エッティング処理では、保護基板20Aの一方の主表面及び他方の主表面にそれぞれ接続孔パターンを有するレジスト層を配置した状態でドライエッティング又はウェットエッティングを行なうことにより22a、22b等の接続孔を形成することができる。

【0030】22a等の各接続孔は、保護基板20Aの半導体ウエハ10Aとの対向面からその反対側の露呈面まで同一サイズ(例えば直径100～300μm)を有するように形成してもよいが、この実施形態では、保護基板20Aの半導体ウエハ10Aとの対向面での開口サイズより該対向面とは反対側の露呈面での開口サイズが大きくなるように形成する。図3、13の例では、対向面での開口サイズを直径100～150μmとした場合、露呈面での開口サイズを直径150～300μmと

することができる。このようにすると、図5の工程で導電プラグを形成するのが容易となる。

【0031】次に、図4の工程では、保護基板20Aの半導体ウエハ10Aとの対向面において22a, 22b等の接続孔をそれぞれ取囲むように24a, 24b等の逃がし溝をホトリソグラフィ及び選択エッティング処理により形成する。このときに形成される逃がし溝24a, 24bは、図13～16にも示されている。図15, 16には、図13, 14に示す保護基板20Aが逃がし溝24aを右上方に配置するように裏返した状態で示してある。各逃がし溝は、図8の工程で接着層30の流入を可能にするためのもので、50～150μmの深さを有する。また、各逃がし溝の幅（逃がし溝24aについて示すD）は、一例として50μmとすることができます。

【0032】次に、図5の工程では、シルクスクリーン印刷法により銅又は銀を含む導電ペーストを22a, 22b等の接続孔に充填した後、125～225°Cで30分間のペーク処理を行なうことにより22a, 22b等の接続孔をそれぞれ埋める26a, 26b等の導電プラグを形成する。このとき、22a, 22b等の接続孔が下方の開口サイズより上方の開口サイズを大きくして形成されているので、導電ペーストを簡単且つ確実に充填することができる。導電プラグ26a, 26bの形成状況は、図14にも示されている。

【0033】次に、図6の工程では、保護基板20Aの半導体ウエハ10Aとの対向面において26a, 26b等の導電プラグにそれぞれ接続されるようにハンダからなる28a, 28b等のバンプ電極を形成する。このためには、シルクスクリーン印刷法又はハンダバンプディスペンサにより各導電プラグの端部にハンダバンプを盛り付けた後、200°Cでペーク処理を行なうことができる。28a等の各バンプ電極の高さは、30～50μmとすることができる。バンプ電極28a, 28bの形成状況は、図15にも示されている。

【0034】次に、図7の工程では、保護基板20Aの半導体ウエハ10Aとの対向面において24a, 24b等の逃がし溝で囲まれた領域以外の領域（半導体ウエハ10AのIC形成部及びグリッドライン領域18に対応する領域）にシルクスクリーン印刷法により熱可塑性接着剤からなる接着層30を形成する。接着層30は、印刷後135～160°Cでキュア処理する。接着層30の形成状況は、図16にも示されている。接着層30の厚さは、40～60μmとすることができる。なお、接着層30としては、熱硬化性接着剤からなるものを用いてもよい。

【0035】図3～7に関して上記した工程は、半導体ウエハ10Aに重ねられるべき保護基板20Aを用意する工程であるが、このような工程の前又は後あるいはかような工程に並行して図8, 10, 11, 17に示すような半導体ウエハ10Aが用意される。すなわち、例え

ばシリコンからなる半導体ウエハ10Aには、周知の方法により10a等の各ICチップ領域毎にICが形成されると共に各ICの周辺で絶縁膜12の上には14a, 14b等の複数のパッド電極が形成される。各パッド電極は、ハンダバンプとの接続性が良好なアンダーバンプメタルを最上層として有するものである。

【0036】パッド電極14aは、図8, 17に示すように保護絶縁膜16aで覆われ、絶縁膜16aには、パッド電極14aの中央部を露呈する接続孔16Hがホトリソグラフィ及び選択エッティング処理により形成される。パッド電極14aは、一边の長さが150μmの正方形とすることができる、接続孔16Hは、一边の長さが80～100μmの正方形とすることができる。図17に示したようなパッド電極及び接続孔の配置は、14b等の他のパッド電極についても同様である。なお、図11に示したグリッドライン領域18の幅Wは、100μmとすることができる。

【0037】次に、図8の工程では、図18に示すように28a等のバンプ電極を14a等のパッド電極に位置合せして半導体ウエハ10Aに保護基板20Aを重ね、保護基板20Aに所定の圧力を加える。保護基板20Aとして透明性のものを用いると、位置合せが容易である。

【0038】この後、上記のような加圧状態において半導体ウエハ10A乃至保護基板20Aの積層体を真空オーブンに入れて135～150°Cで30分間の熱処理を行なう。この結果、図8に示すように28a, 28b等のバンプ電極が14a, 14b等のパッド電極に接続されると共に半導体ウエハ10Aと保護基板20Aとが接着層30により接着されることにより各ICチップ領域毎にIC形成面が封止される。

【0039】封止のための熱処理においては、図18に示すように半導体ウエハ10Aと保護基板20Aとの間に接着層30の厚さ×逃がし溝24aの開口面積に相当する体積と逃がし溝24aの体積とを含む空間が存在する。この空間の圧力が常圧より高くなると、加熱に伴うバンプ電極28a及び接着層30の厚さ減少が妨げられる。そこで、上記した空間の圧力上昇を防ぐ方策が必要となる。この実施形態では、上記した空間を予め減圧状態にしてから熱処理を行なうことにより圧力上昇を抑え、接着層30が逃がし溝24aへ流入するのを可能にしている。

【0040】図19は、封止のための熱処理における真空オーブンの温度変化及び逃がし溝内の圧力変化をそれぞれカーブTM及びPRにより示したものである。期間P₁において、逃がし溝24a内の圧力は、オーブン内を真空引きすることにより常圧から真空中に向けて低下する。このような減圧状態において時刻t₁で加熱を開始すると、期間P₂では、バンプ電極28a及び接着層30が徐々に運動化し、バンプ電極28aは、接続孔16

H内に広がると共に接着層30の一部は逃がし溝24a内に流入する。期間P₂の途中からオープン内の圧力を常圧に向けて上昇させると、逃がし溝24a内の圧力もカーブP_Rに示すように上昇する。期間P₂の終了する時刻t₁は、保護基板20Aの半導体ウエハ10Aとの対向面が絶縁膜16aの頂部に接触した時点に対応する。この時点以降は、逃がし溝24a内の圧力が殆ど変化しない。図8に示すように保護基板20Aの半導体ウエハ10Aとの対向面が16a, 16b等の絶縁膜の頂部に接触した状態で熱処理を終了すると、半導体基板10Aと保護基板20Aとを接着層30により均一に接着することができる。

【0041】次に、図9の工程では、保護基板20Aの半導体ウエハ10Aとの対向面とは反対側の露呈面において26a, 26b等の導電プラグにそれぞれ接続されるようにハンダからなる32a, 32b等のバンプ電極を形成する。このためには、シルクスクリーン印刷法又はハンダバンプディスペンサにより各導電プラグの端部にハンダバンプを盛り付けた後、250°Cでベーク処理を行なうことができる。32a等の各バンプ電極の高さは、100~150μmとすることができる。

【0042】この後、半導体ウエハ10A乃至保護基板20Aの積層体をグリッドライン領域18に沿ってダイシングして切断溝34を形成することにより該積層体から半導体チップ10乃至保護チップ20を含むIC装置を分離する。このとき、図10に示した10a等のICチップ領域毎に図9に示したものと同様のIC装置が得られる。

【0043】図3~19に関して上記した製法によれば、保護基板20Aを半導体ウエハ10Aとは別の工程で簡単な処理により用意することができる。また、26a等の各導電プラグを28a等のバンプ電極により14a等のパッド電極に接続する際に半導体ウエハ10Aと保護基板20Aとを接着層30で接着してIC形成面を封止した後、半導体ウエハ10A乃至保護基板20Aの積層体を切断してIC装置を分離するようにしたので、封止処理及び切断処理をいずれも1工程で終了させることができる。従って、工程の簡略化により歩留り向上及びコスト低減を図ることができる。

【0044】上記した実施形態においては、16a等の絶縁膜に設ける16H等の接続孔は、正方形に限らず、図20に示すように円形等の形状にしてもよい。

【0045】また、28a等のバンプ電極は、保護基板20Aに設ける代りに、図21に示すように半導体ウエハ10Aにおいて16H等の接続孔を介して14a等のパッド電極に接続されるように設けてもよい。この場合、封止処理は、図8に関して前述したと同様に行なうことができる。

【0046】さらに、接着層30は、保護基板20Aに設ける代りに、半導体ウエハ10Aに設けてもよい。こ

の場合、封止処理は、図8に関して前述したと同様に行なうことができる。接着層30を保護基板20A又は半導体ウエハ10Aに形成する方法としては、シルクスクリーン印刷法に限らず、接着シートを貼付する方法、全面的に被着した接着層の不要部を選択的に除去する方法等を用いてもよい。

【0047】

【発明の効果】以上のように、この発明によれば、集積回路チップの各パッド電極をバンプ電極及び導電プラグを介して保護チップの露呈面側に最短距離で導出すると共に集積回路チップの集積回路形成面を保護チップ及び接着層により封止し、集積回路チップ及び保護チップを実質的に同一の切断形状としたので、CSPのサイズ縮小が可能になると共に端子配線長の短縮も可能となり、超小型の集積回路装置を実現できる効果が得られる。

【0048】また、この発明の製法によれば、保護基板を半導体ウエハとは別の工程で簡単な処理により用意可能である。その上、各導電プラグをバンプ電極により対応するパッド電極に接続する際に半導体ウエハと保護基板とを接着層で接着して封止を行なった後、半導体ウエハ乃至保護基板の積層体を切断して集積回路装置を分離するようにしたので、封止処理および切断処理が各々1工程で済む。従って、工程の大幅な簡略化が可能となる効果が得られる。

【図面の簡単な説明】

【図1】 この発明の一実施形態に係るIC装置を示す斜視図である。

【図2】 図1のA-A'線に沿う断面図である。

【図3】 図1のIC装置の製法において保護基板に接続孔を形成する工程を示す断面図である。

【図4】 図3の工程に続く逃がし溝形成工程を示す断面図である。

【図5】 図4の工程に続く導電プラグ形成工程を示す断面図である。

【図6】 図5の工程に続く第1のバンプ電極形成工程を示す断面図である。

【図7】 図6の工程に続く接着層形成工程を示す断面図である。

【図8】 図7の工程に続く封止工程を示す断面図である。

【図9】 図8の工程に続く第2のバンプ電極形成工程及びダイシング工程を示す断面図である。

【図10】 半導体ウエハに保護基板を重ねた状態を示す斜視図である。

【図11】 ICチップ領域を示す斜視図である。

【図12】 図11のICチップ領域に重ねられる保護チップ領域を示す斜視図である。

【図13】 保護基板における接続孔の形成状況を示す一部断面斜視図である。

【図14】 接続孔に導電プラグを埋設した状態を示す

一部断面斜視図である。

【図15】 導電プラグ上にバンプ電極を形成した状態を示す一部断面斜視図である。

【図16】 保護基板上に接着層を形成した状態を示す一部断面斜視図である。

【図17】 半導体ウエハ上に設けたパッド電極の一例を示す斜視図である。

【図18】 封止処理を行なうために半導体ウエハに保護基板を重ねた状態を示す断面図である。

【図19】 封止処理における真空オープンの温度変化と逃がし溝内の圧力変化とを示すグラフである。

【図20】 半導体ウエハ上に設けたパッド電極の他の例を示す斜視図である。

【図21】 半導体ウエハ上に設けたバンプ電極を示す斜視図である。

*

* 【図22】 従来のIC装置の製法における接着工程を示す断面図である。

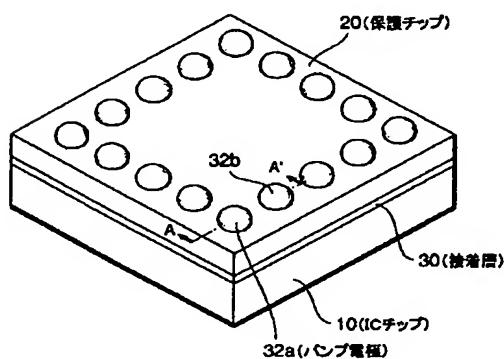
【図23】 図22の工程に続く溝形成工程及び配線形成工程を示す断面図である。

【図24】 図23の工程に続くダイシング工程を示す断面図である。

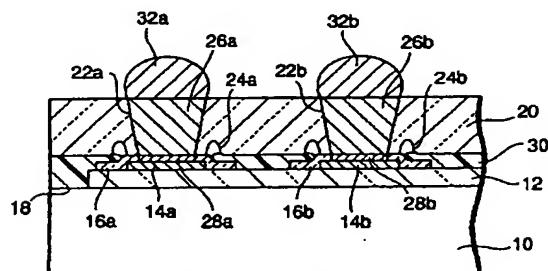
【符号の説明】

10: ICチップ、10A: 半導体ウエハ、10a: ICチップ領域、12, 16a, 16b: 絶縁膜、14a, 14b: パッド電極、18: グリッドライン領域、20: 保護チップ、20A: 保護基板、20a: 保護チップ領域、22a, 22b: 接続孔、24a, 24b: 逃がし溝、26a, 26b: 導電プラグ、28a, 28b, 32a, 32b, 36a: バンプ電極。

【図1】

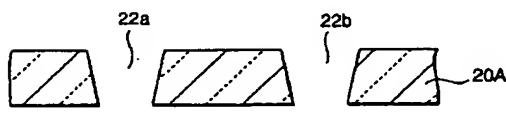


【図2】

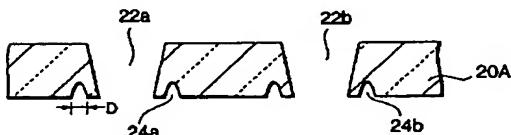


12, 16a, 16b: 絶縁膜
14a, 14b: パッド電極
18: グリッドライン領域
22a, 22b, 24a, 24b: 逃がし溝
26a, 26b: 導電プラグ
28a, 28b, 32a, 32b: バンプ電極

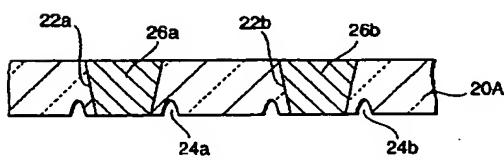
【図3】



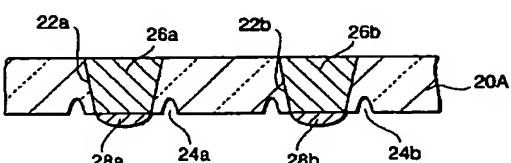
【図4】



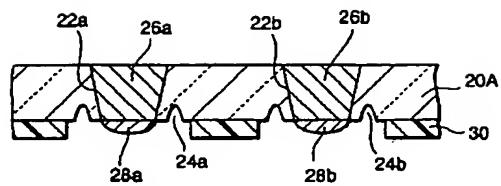
【図5】



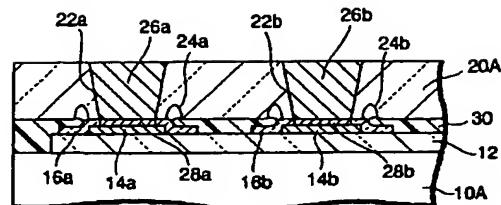
【図6】



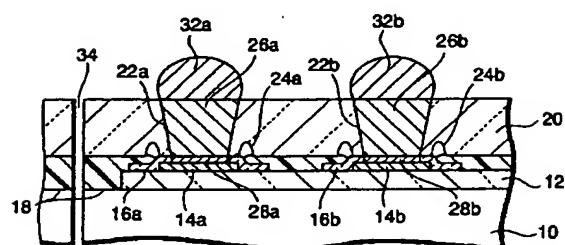
【図7】



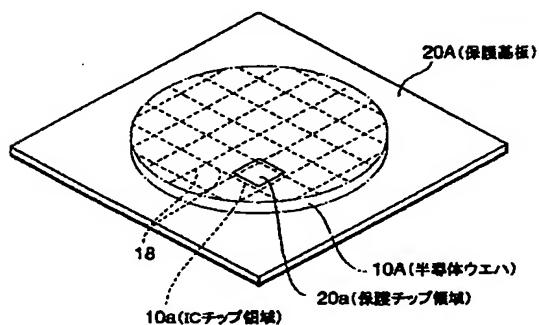
【図8】



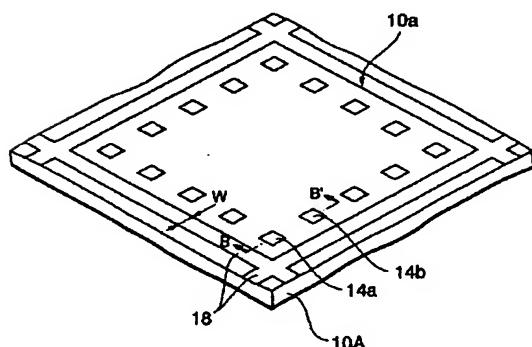
【図9】



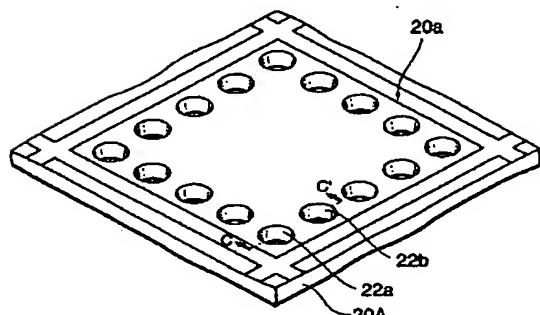
【図10】



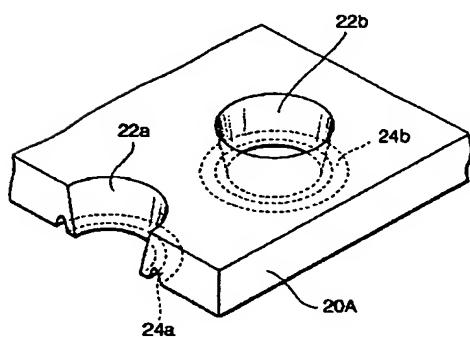
【図11】



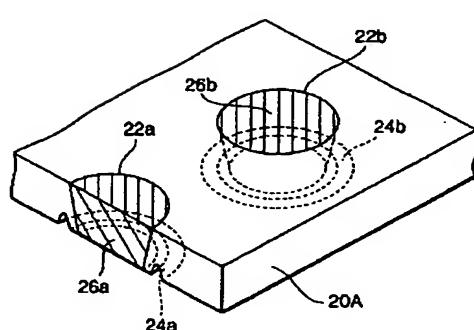
【図12】



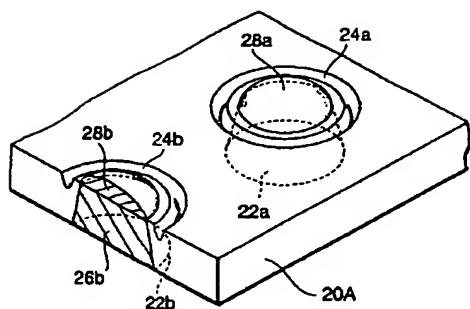
【図13】



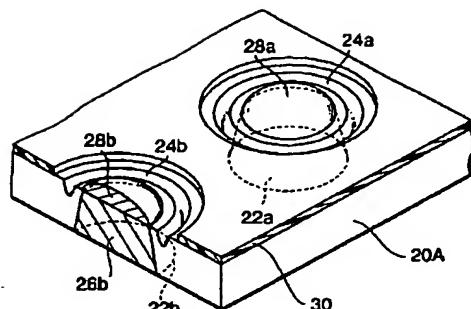
【図14】



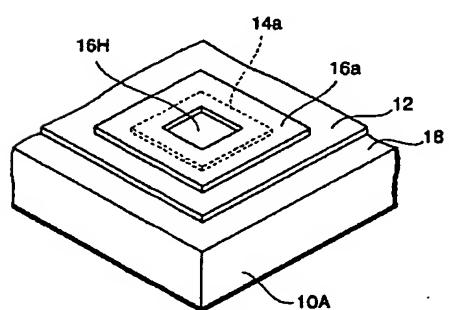
【図15】



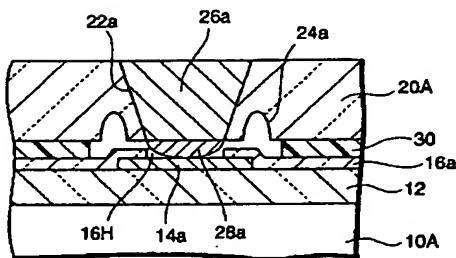
【図16】



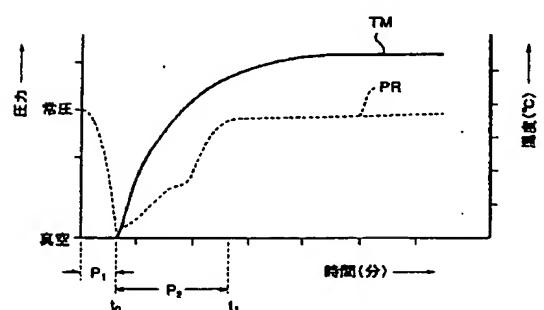
【図17】



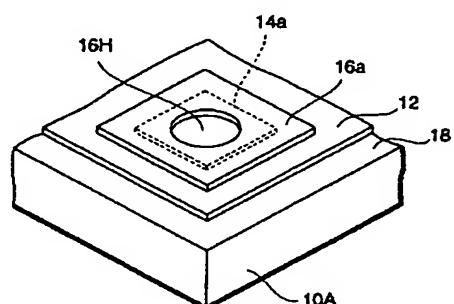
【図18】



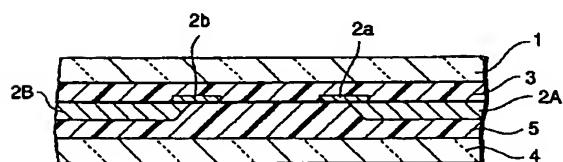
【図19】



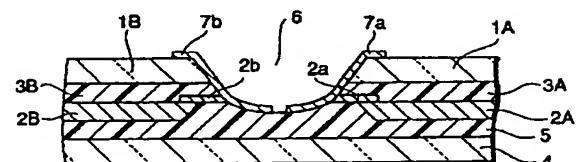
【図20】



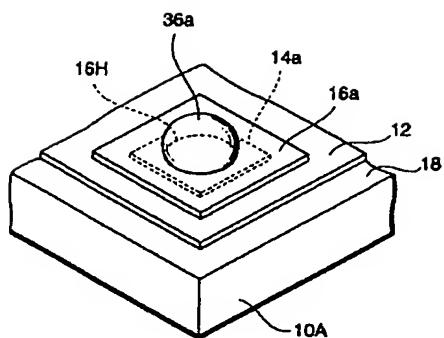
【図22】



【図23】



【図21】



【図24】

